

第59回日本リモートセンシング学会学術講演会

# FPGAを用いた合成開口レーダ用 省メモリチャープジェネレータの開発

2015.11.27

発表者: 千葉大学4年 泉 佑太

Josaphat Tetuko Sri Sumantyo, Heein Yang,  
and Agus Hendra

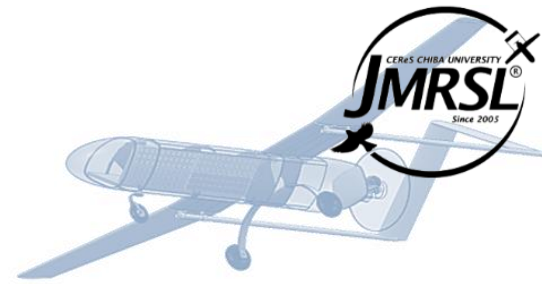
JOSAPHAT MICROWAVE REMOTE SENSING LABORATORY

[HTTP://WWW2.CR.CHIBA-U.JP/JMRSL/](http://www2.cr.chiba-u.jp/jmrsl/)

CENTER FOR ENVIRONMENTAL REMOTE SENSING

CHIBA UNIVERSITY, JAPAN

# 目次



1

背景

2

研究内容

3

実装

4

実験

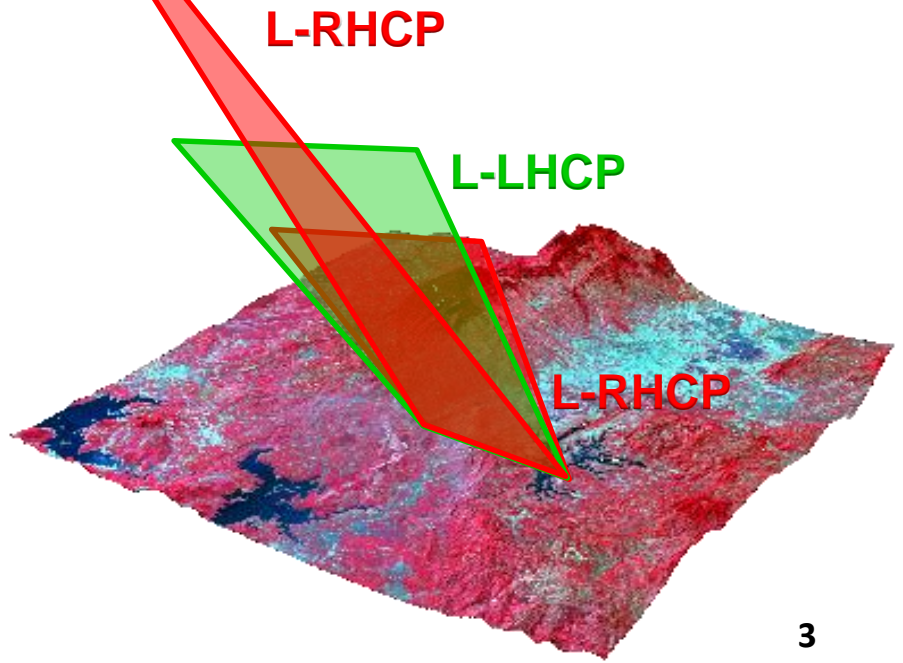
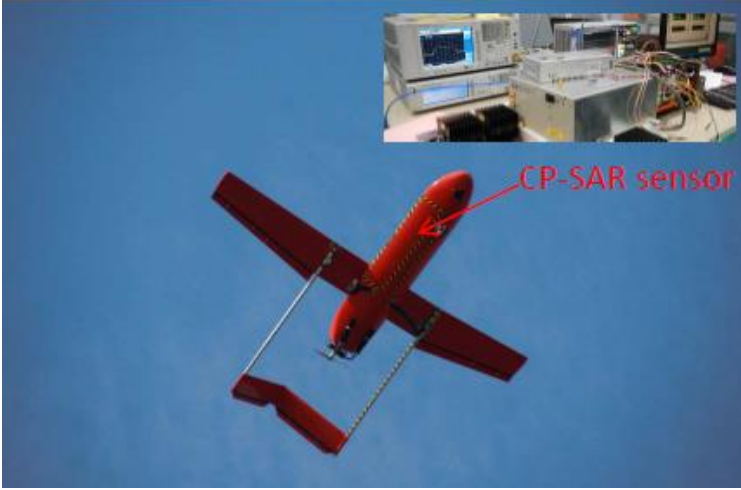
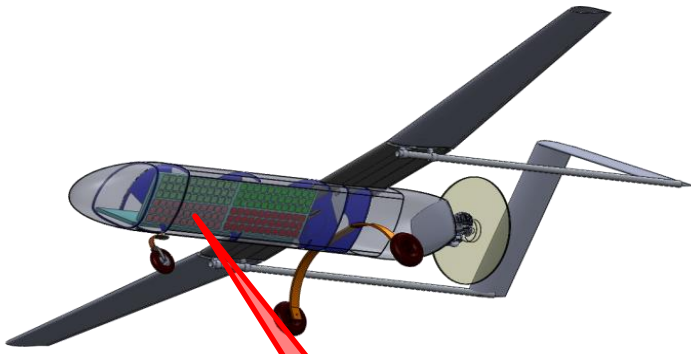
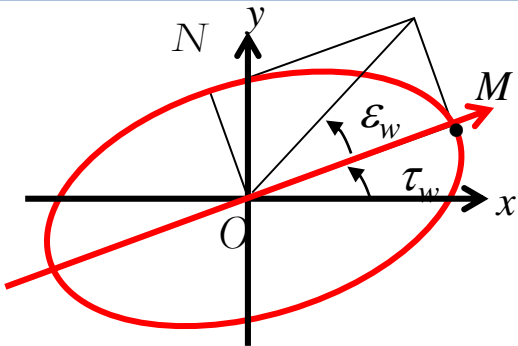
5

まとめ

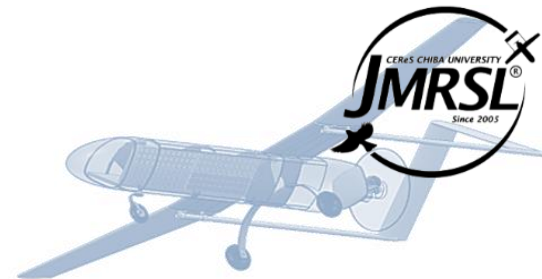


# 背景

## -円偏波合成開口レーダ搭載UAV



# 目次



1

背景

2

研究内容

3

実装

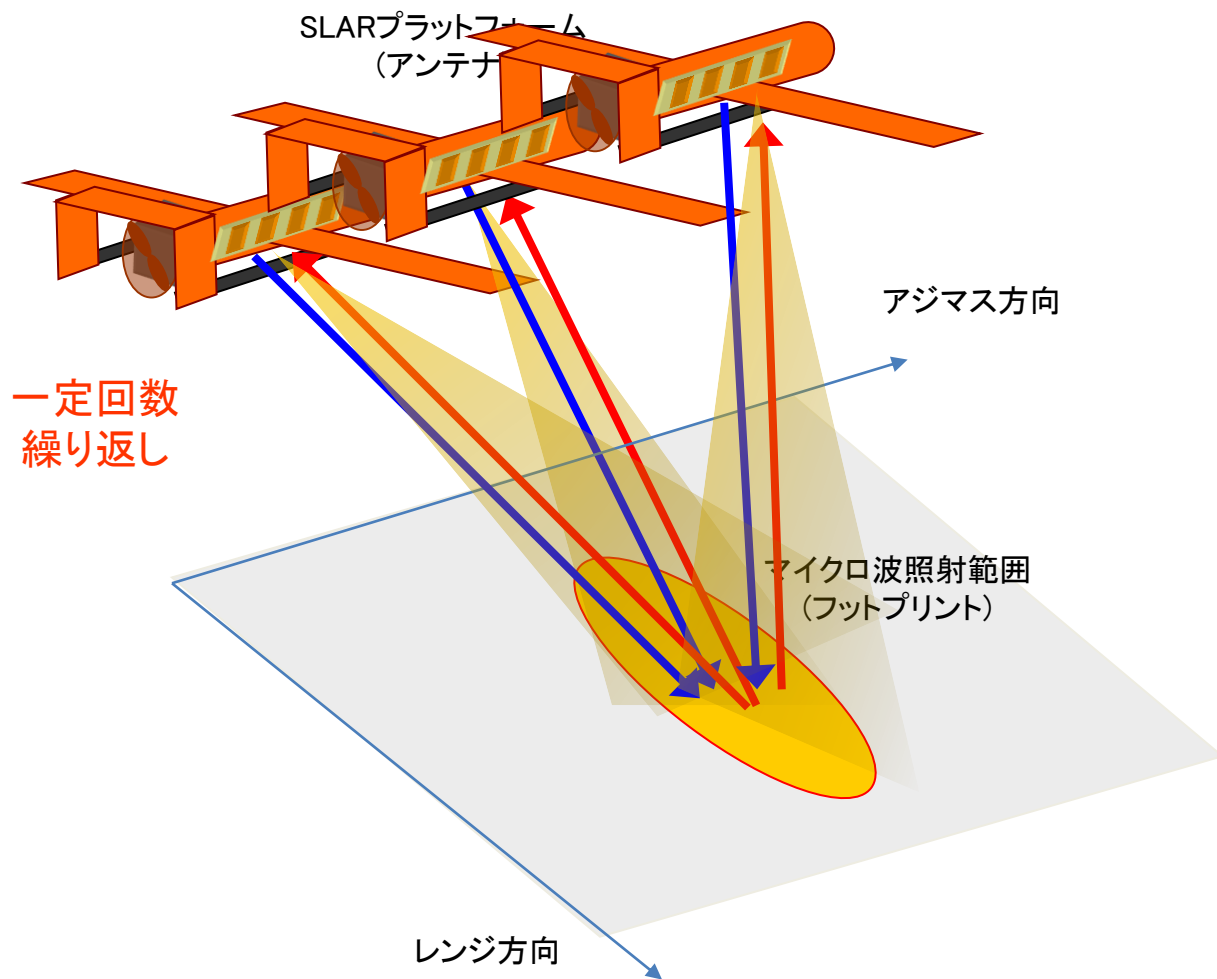
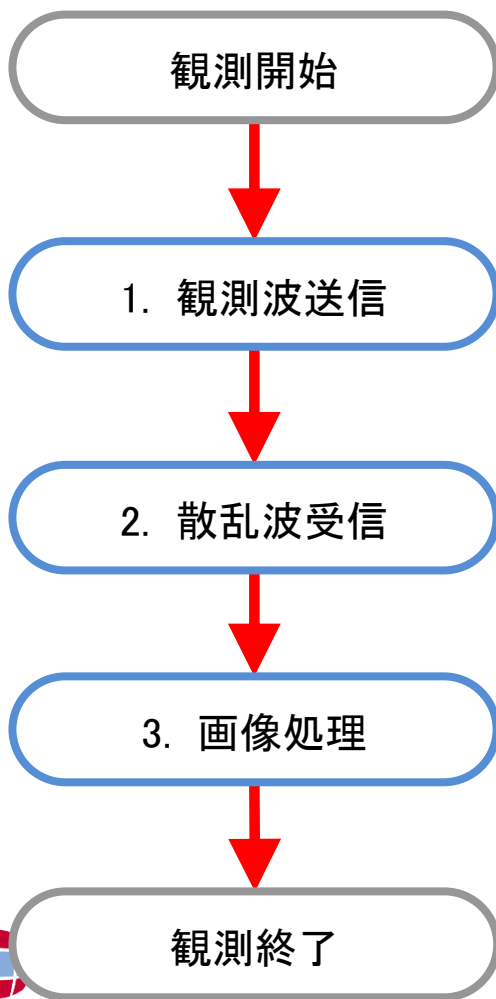
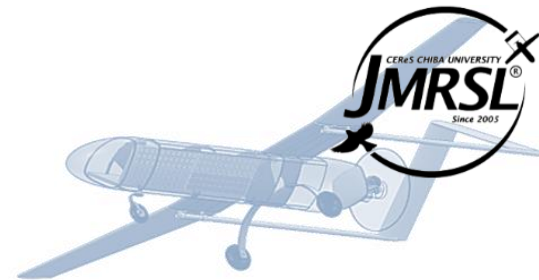
4

実験

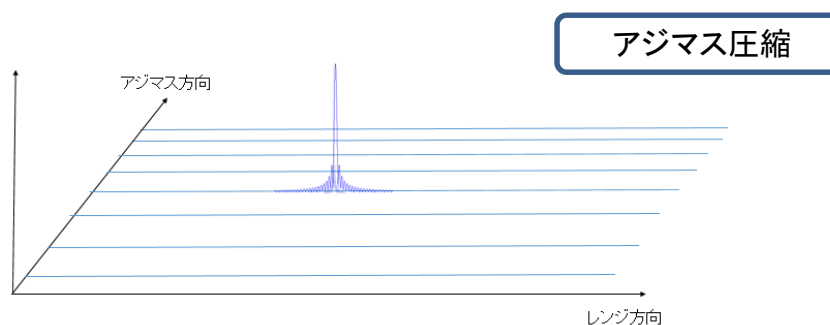
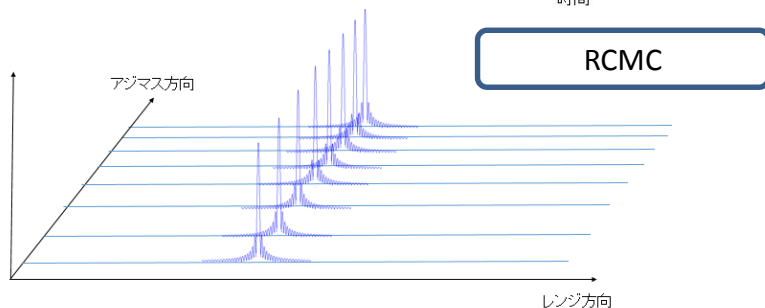
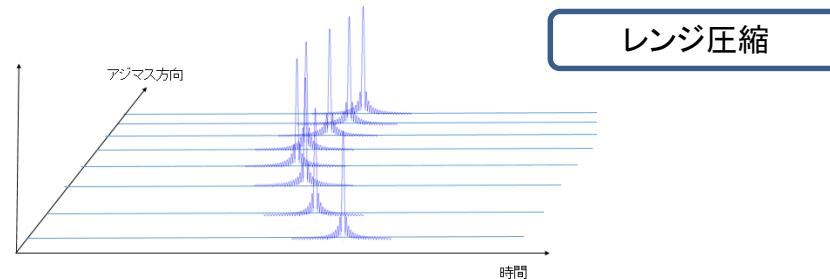
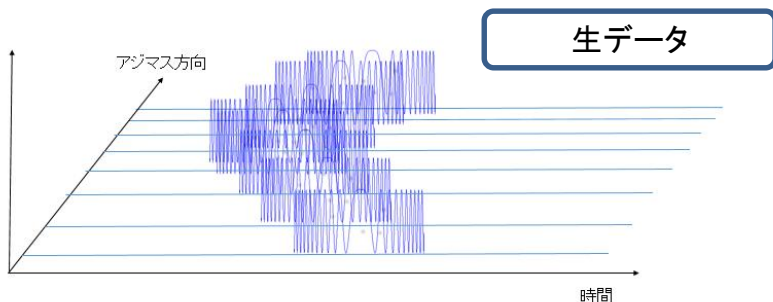
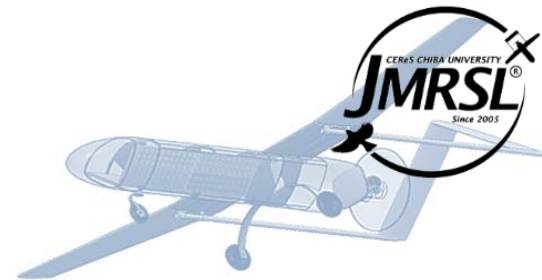
5

まとめ

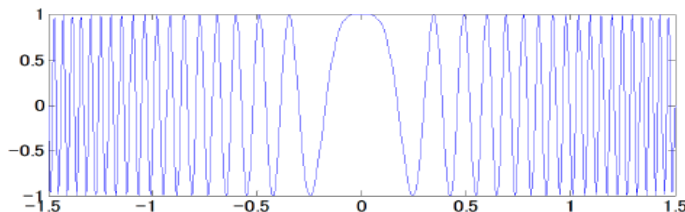
# 研究内容 -SAR



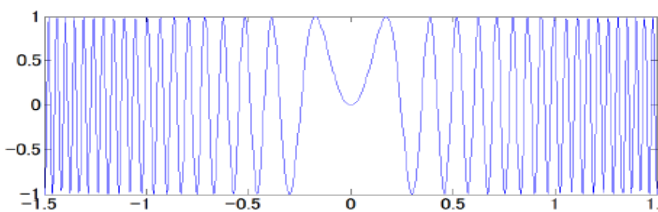
# 研究内容 -SAR



SARではレンジ分解能を高くするために、**パルス圧縮**という技術を用いるため、送信波として**チャープ信号**を用いる。



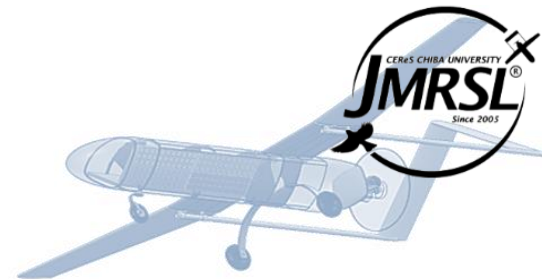
チャープ信号(実部)



チャープ信号(虚部)



# 目次



1

背景

2

研究内容

3

実装

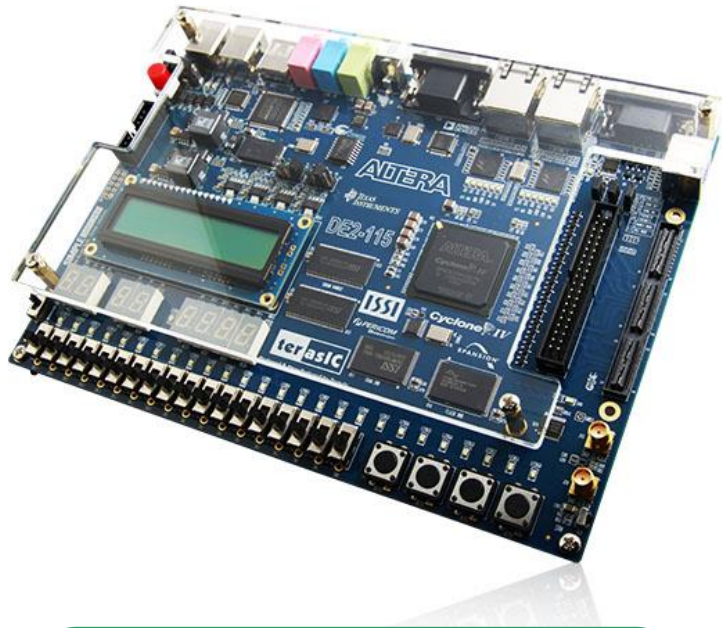
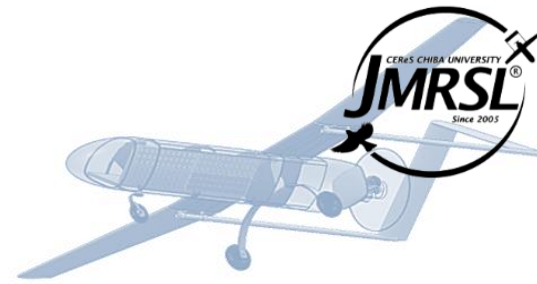
4

実験

5

まとめ

# 実装



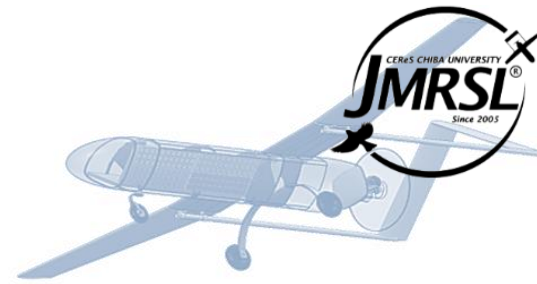
FPGA 開発評価ボード

製品名	Terasic DE2-115
搭載FPGAファミリ	Altera Cyclone IV E
搭載FPGA型番	EP4CE115F29C7
電子部品	LED, 7セグメントLED, キャラクタLCD, プッシュスイッチ スライドスイッチ
記憶装置	SRAM, SDRAM, FLASH, SDカードスロット
通信インターフェース	RS-232C, USB2.0, ギガビットEthernet, VGA
重量 [kg]	0.42



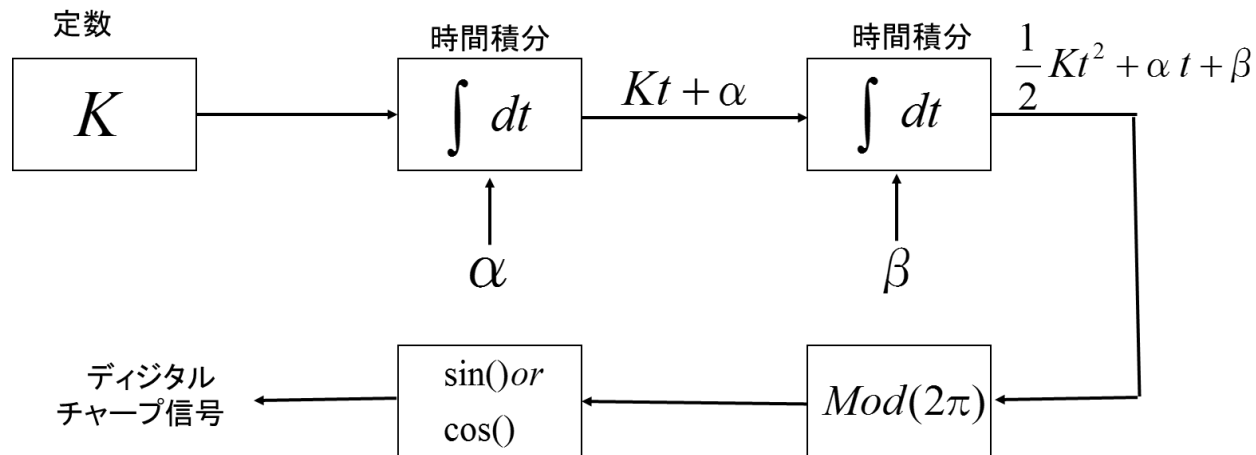


# 実装 -DDS



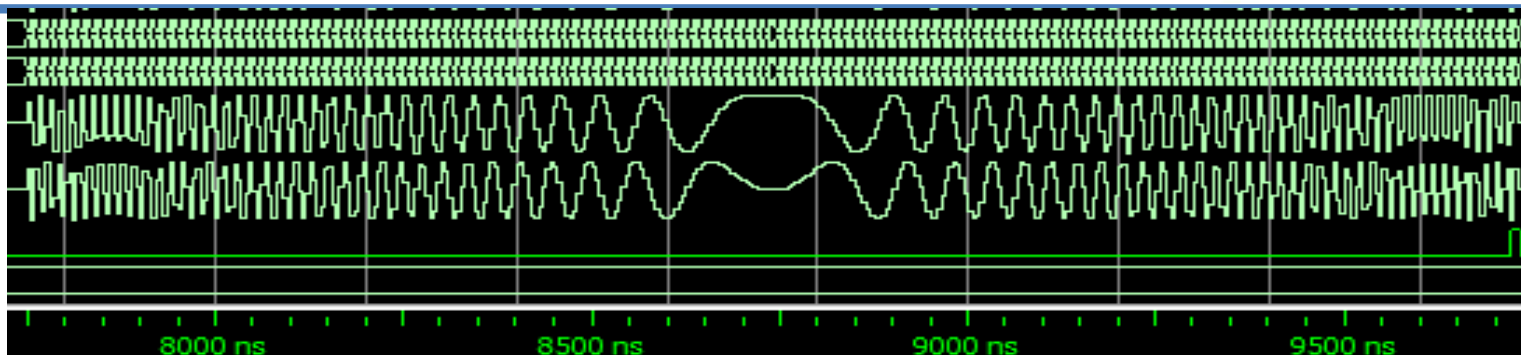
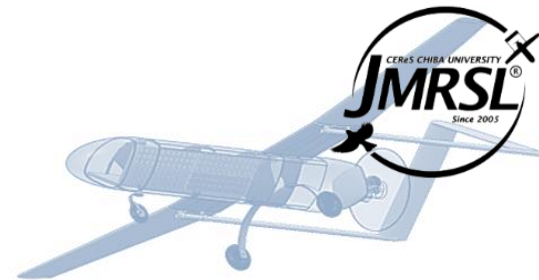
信号生成にはDDS(Direct Digital Synthesizer)方式を使用.

信号の位相情報からチャープ信号の振幅値を導出する.

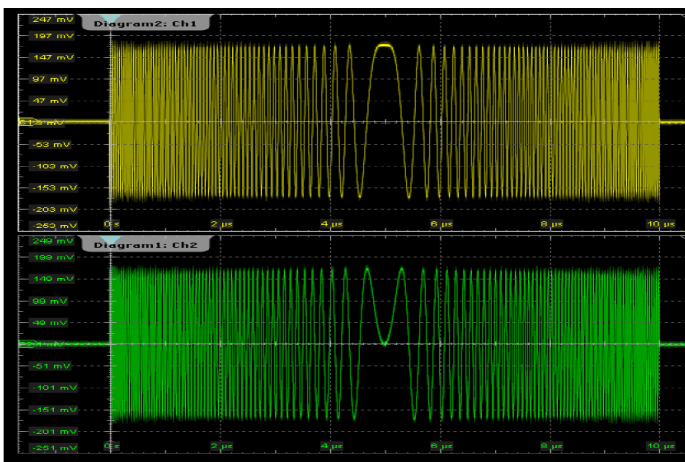


ピターソンのDDS

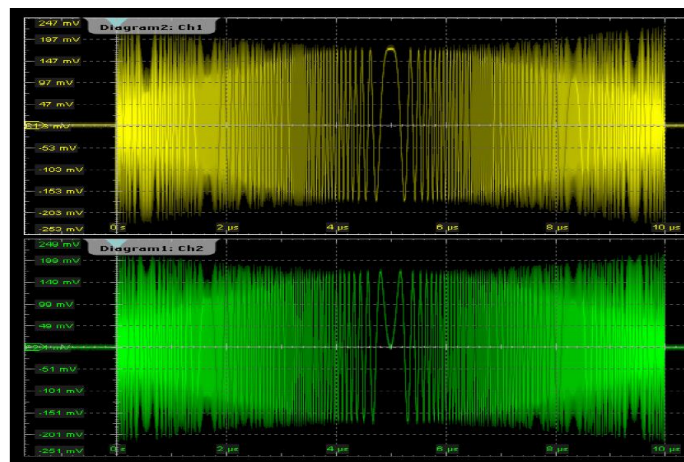
# 実装 -結果



Quatus II ModelSim シミュレーション結果

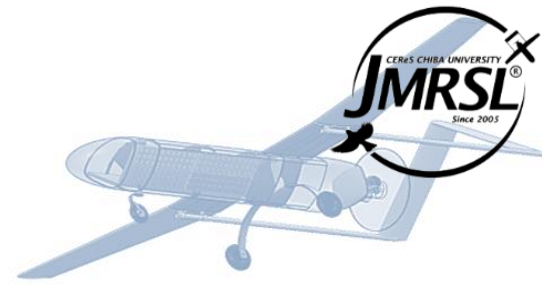


周波数帯域幅:50[MHz]  
パルス時間長:10[μs]



周波数帯域幅:150[MHz]  
パルス時間長:10[μs]

# 目次



1

背景

2

研究内容

3

実装

4

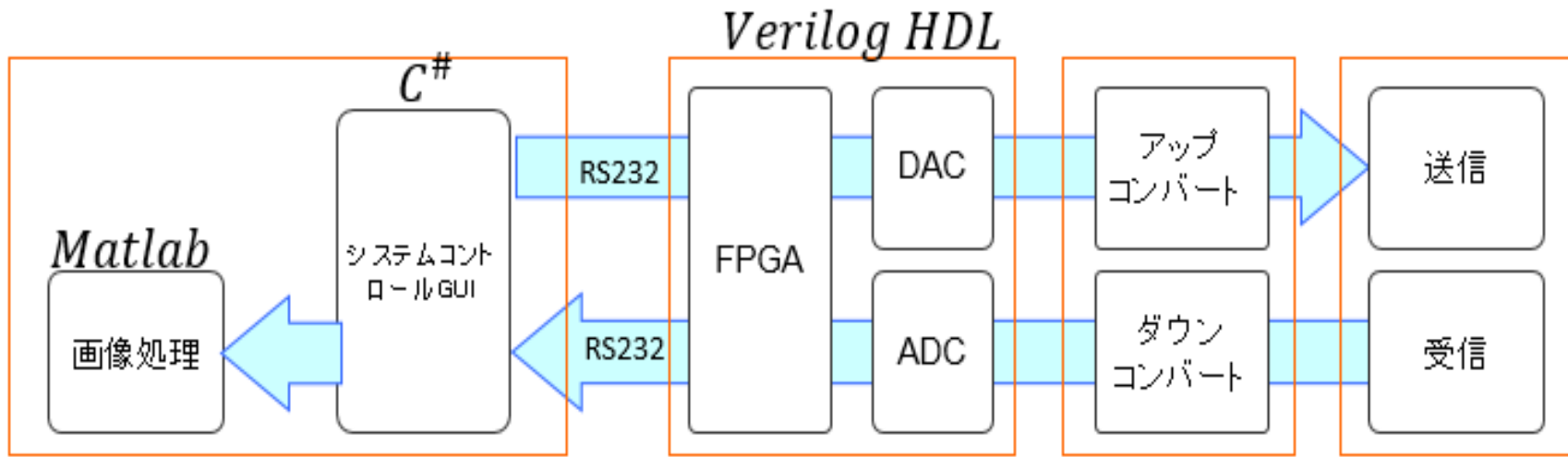
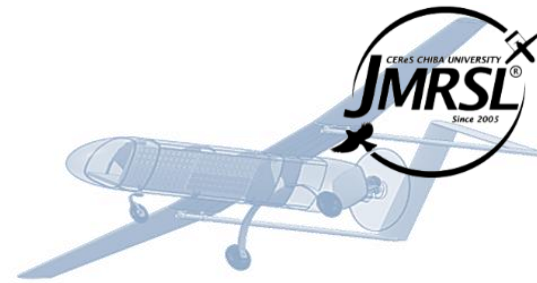
実験

5

まとめ



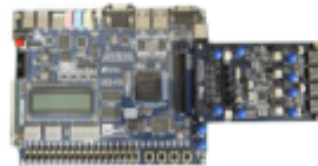
# 実験 -SARシステム



PC



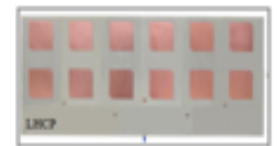
FPGA board



RF

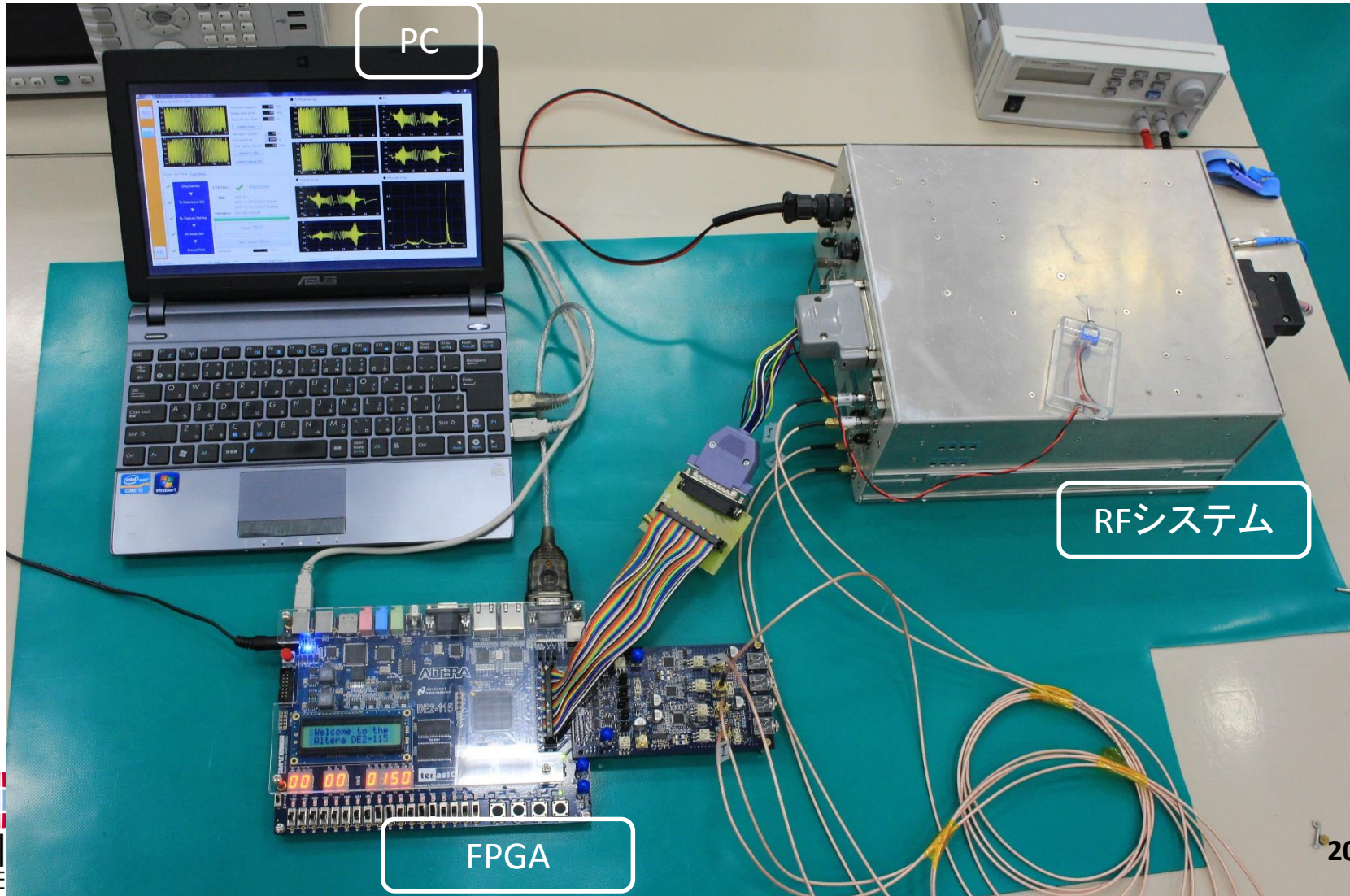
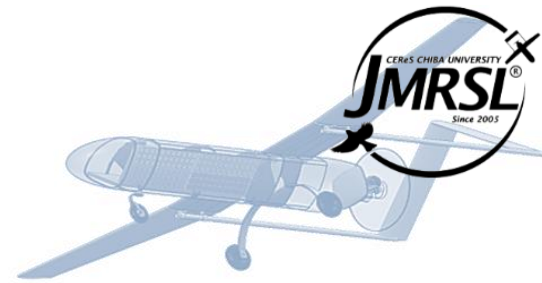


Antenna

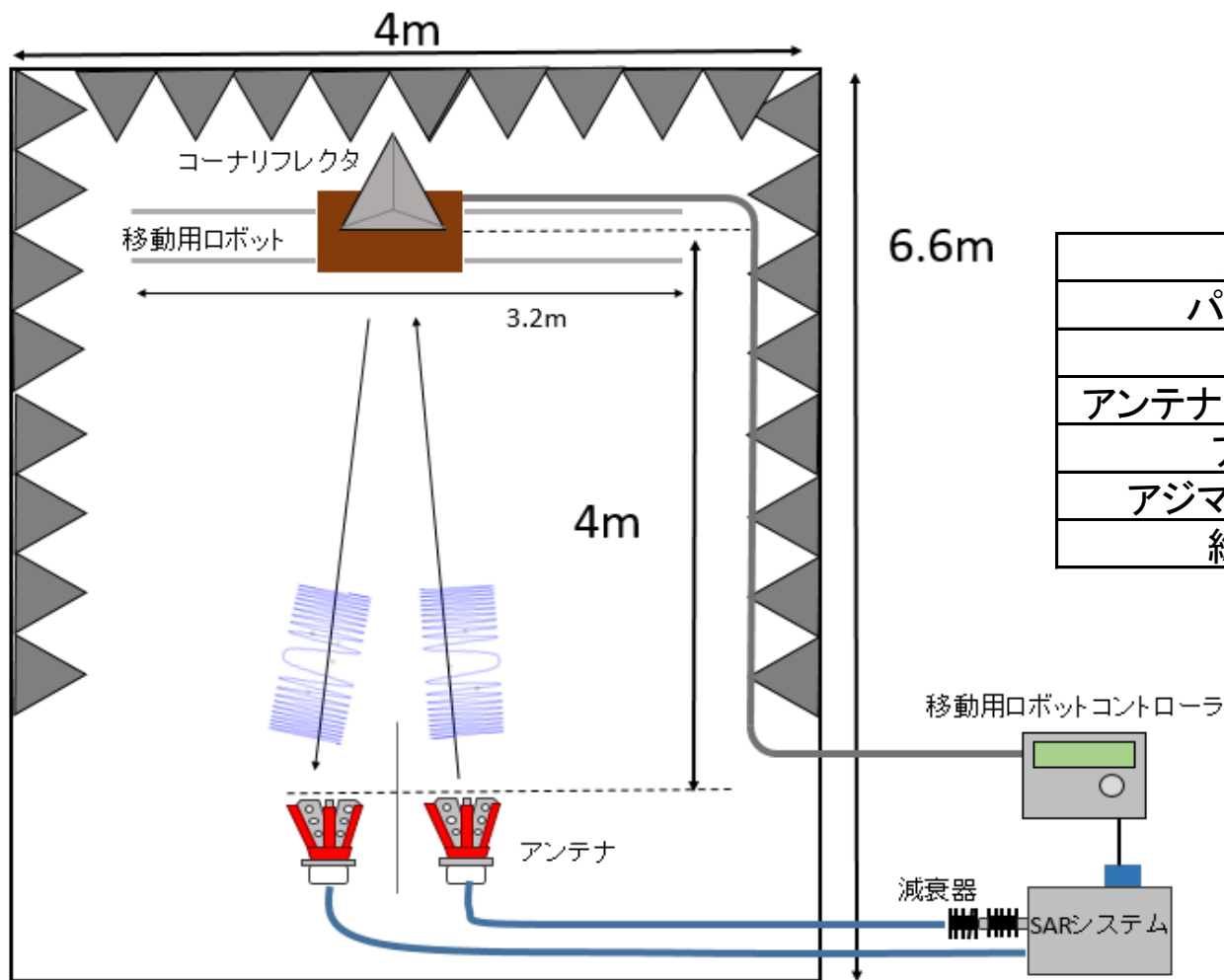
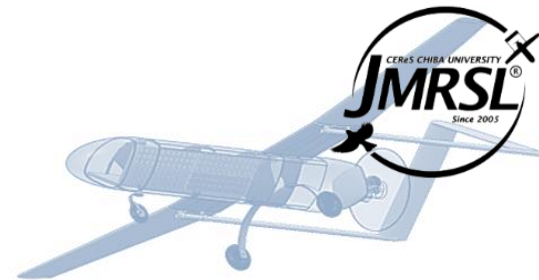




# 実験 -SARシステム



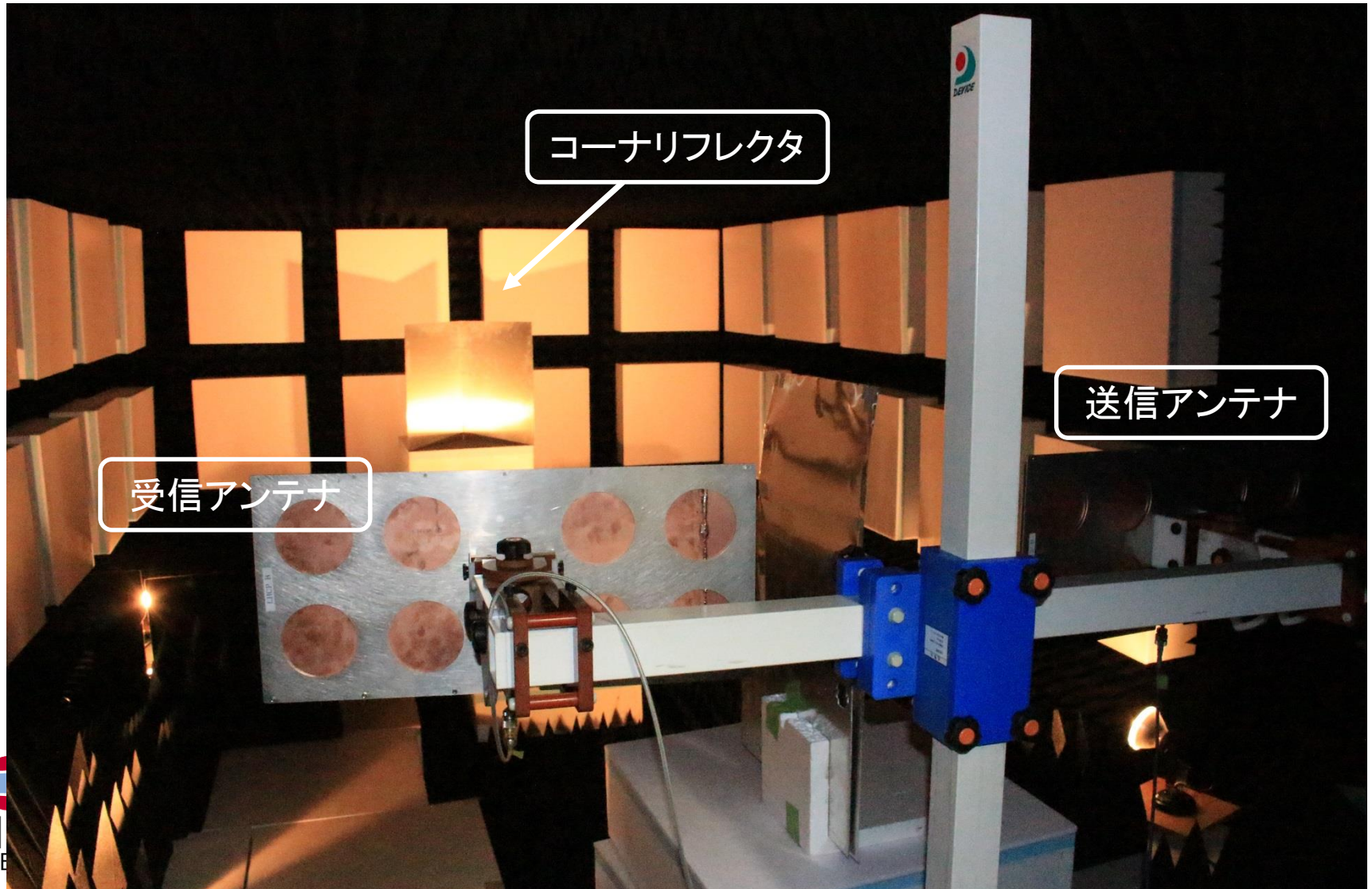
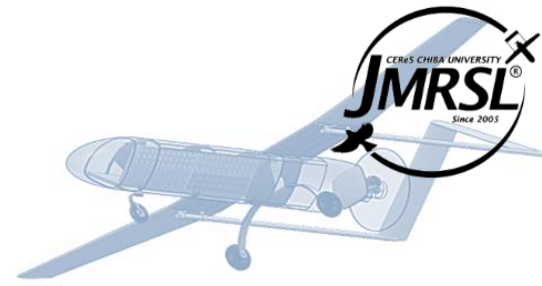
# 実験 -概要



パラメータ	値
パルス時間長	2[us]
受信時間	3[us]
アンテナとリフレクタの距離	4[m]
アジマス長	2.55[m]
アジマスインターバル	0.05[m]
総パルス数	51



# 実験 -実験の様子



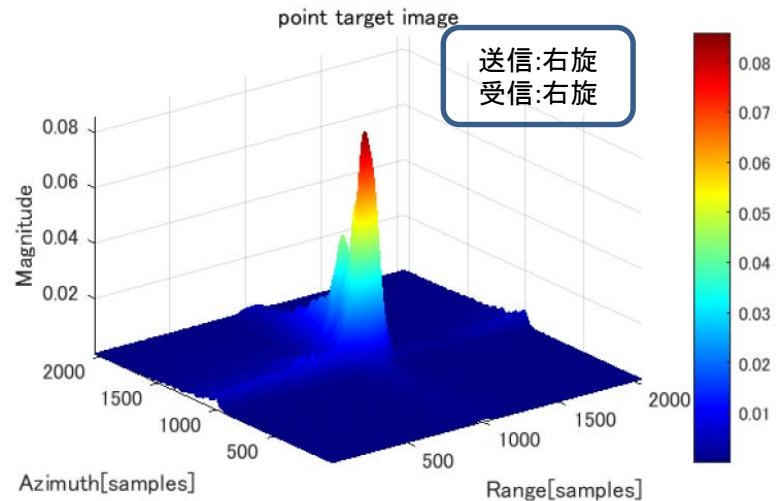
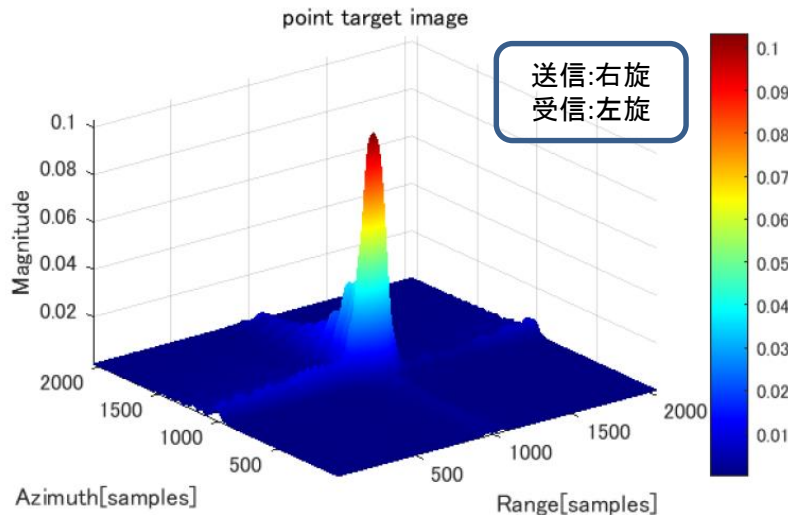
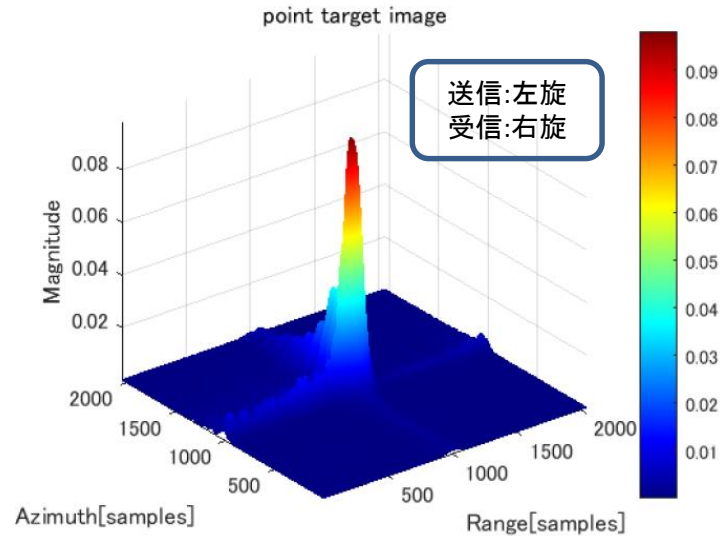
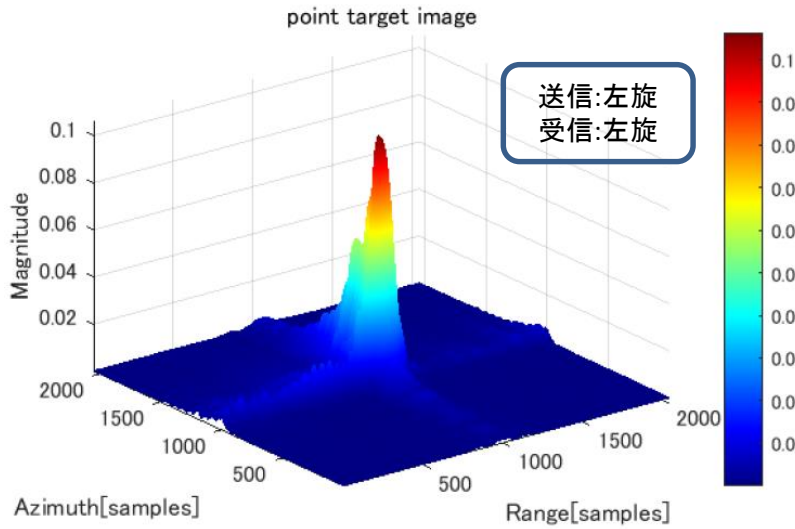
コーナリフレクタ

受信アンテナ

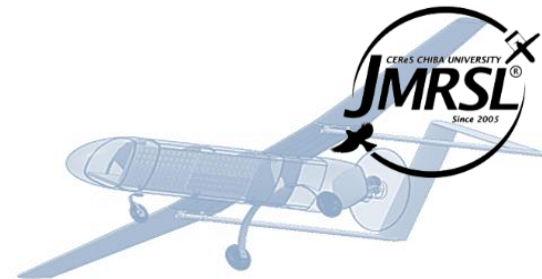
送信アンテナ

# 実験

## -結果(一面コーナリフレクタ使用)



# 目次



1

背景

2

研究内容

3

実装

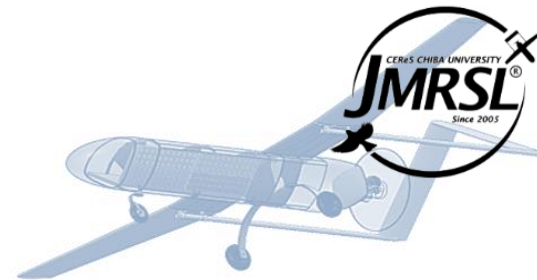
4

実験

5

まとめ

# まとめ



今回はFPGAを用いて省メモリチャープジェネレータを開発し、それを用いてSARシステムの開発、評価、また実験を行った。実験からポイントターゲット画像を取得できたため、SARシステムとして利用可能と言えることが分かった。今後の課題として一つのリフレクタで生成するポイントターゲット画像でなく実際にグラウンドテストを行いSAR画像を生成することが挙げられる。このシステムは将来ヨサファット研究室で実施されるUAV、航空機フライトテストに搭載される予定である。

